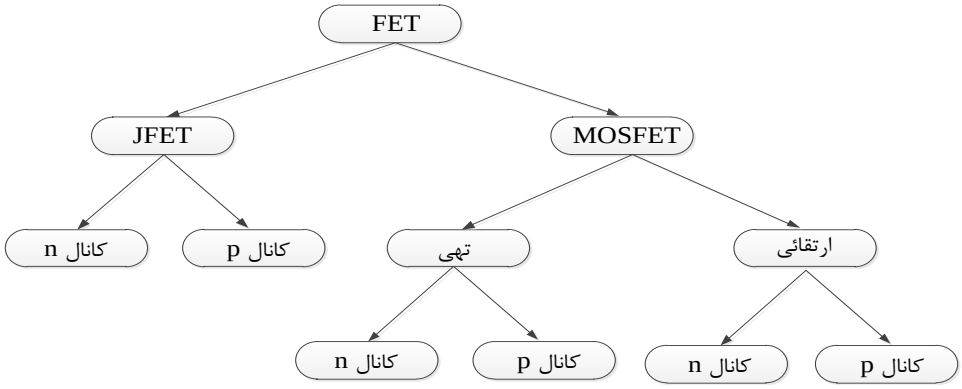
ترانزیستورهای MOSFET

ترانزیستورهای اثر میدان، ترانزیستورهایی هستند که در آنها جریان عبوری توسط میدان الکتریکی ناشی از پتانسیل اعمالی به یکی از ترمینالها کنترل می شود. همانطور که در شکل زیر نشان داده شده است، این ترانزیستورها به دو نوع JFET[۱] و MOSFET[۲] تقسیم می‌شوند که نوع MOSFET شامل دو نوع تهی[۳] و ارتقایی[۴] است که هر یک دارای دو نوع کانال n و کانال p می‌باشند. ترانزیستورهای JFET نیز دارای دو نوع کانال n و کانال p می‌باشند. اما امروزه ،در صنعت الکترونیک ترانزیستورهای MOSFET نوع ارتقایی بیشترین کاربرد را دارند. از این لحاظ این نوع ترانزیستورها مورد بررسی قرار می دهیم و بیشتر روی ترانزیستورMOSFET از نوع کانال N متمرکز خواهیم شد.



[۱] Junction Field-Effect Transistor

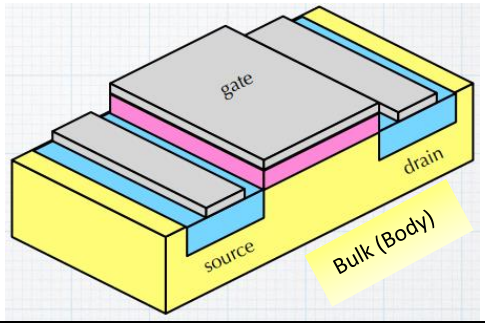
[۲] Metal-Oxide-Semiconductor Field-Effect Transistor

[۳] Depletion

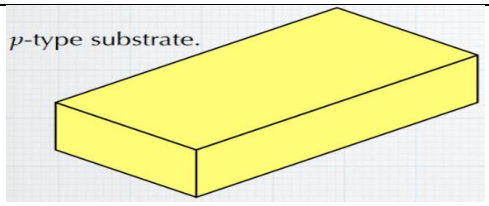
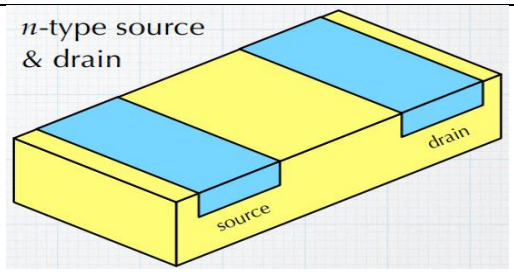
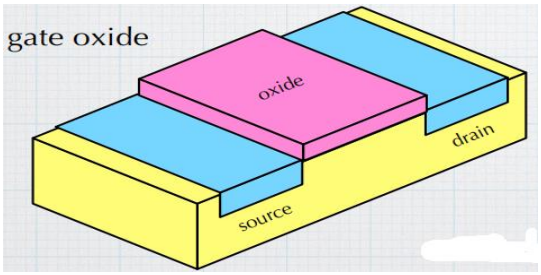
[۴] Enhancement

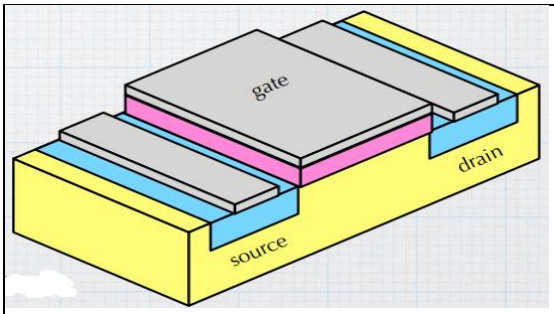
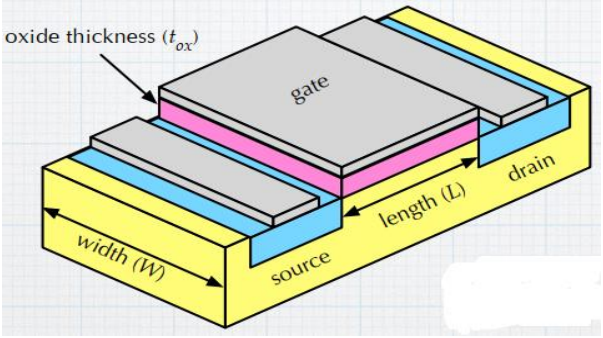
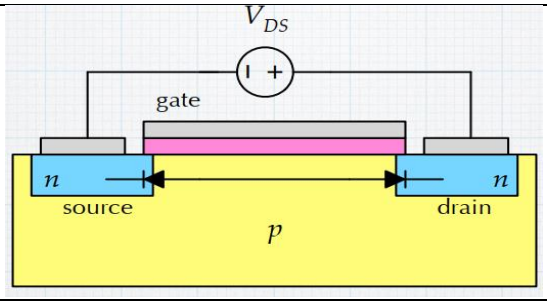
ساختار ترانزیستور MOSFET

در تشریح نحوه عملکرد ترانزیستور BJT بیان شدکه حامل جریان در این نوع ترانزیستورها هم الکترون است و هم حفره. اما در ترانزیستور MOSFET، حامل جریان یکی از دو الکترون و حفره می باشـد. از این رو به این نوع ترانزیسـتورها، ترانزیسـتور تک‌قطبی می‌گویند.یعنی حامل جریان یا الکترون است و یا حفره.

در شکل مقابل ساختار یک ترانزیستور MOSFET را نشان می‌دهد. این ترانزیستور دارای چهار پایه (ترمینال) به نام‌های سورس، گیت، درین و بدنه (Bulk یا Body) می‌باشـد که سـه پایه اول دارای نقش اصلی در عملکرد ترانزیستور می‌باشند.	

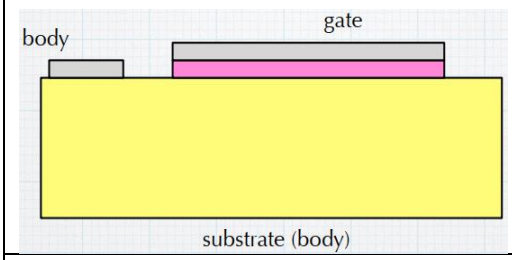
در اینجا نحوه ساخت ترانزیستور MOSFET کانال N را به اختصار بیان می‌کنیم.

۱- ابتدا یک لایه نیمه‌هادی نوع P انتخاب می‌شود.	
۲- سپس دو ناحیه سورس و درین از نوع N ایجاد می‌شود.	
۳- در روی ناحیه بین دو ناحیه سورس و درین، یک لایه اکسید با ضخامتی بسیار نازک گذاشته می‌شود. ناحیه بین درین و سورس به کانال مشهور است که دارای طول L می باشد. در واقع کانال، ناحیه‌ای با پهنای W و طول L است. ناحیه گیت در ابتدا از فلز ساخته می شده است و کلمه Metal اطلاق به این موضوع دارد. ولی امروزه،گیت را از پلی سیلیکان با مقدار رسانایی بالا می سازند .اما همچنان از نام فلز (Metal) برای گیت استفاده می شود. در عمل، گیت از دو لایه تشکیل شده است که یک لایه پلی سیلیکان و لایه دیگر فلز است که جهت اتصال به آن می‌باشد. لایه اکسید که دارای ضخامت بسیار نازک است، از این رو، آن را thinox (مخفف thin oxide) می نامند. جنس این اکسید بسیار مرغوب بوده و دارای کیفیتی بسیار عالی است.	

۴- در این مرحله جهت اتصال با پایه‌ها، فلز contact اضافه می‌شود.	
ناحیه بین درین و سورس کانال ترانزیستور نامیده می‌شود و دارای طول L و پهنای W است. در نوع MOSFET نوع ارتقایی کانال N که اینجا توضیح دادیم، کانال و زیرلایه یا بستر (Substrate) از نوع P است. ضخامت اکسید نیز با t_{ox} نشان داده شده است و در حد *10 nm* می‌باشد. ترانزیستور MOSFET کانال N را با nMOS و ترانزیستور MOSFET کانال P را با pMOS نشان می‌دهیم.	
شکل مقابل نمایی جانبی دو بعدی از ترانزیستور nMOS را نشان می‌دهد. ملاحظه می‌کنید که سه ناحیه سورس، کانال و درین دو دیود پشت به پشت را تشکیل می‌دهند. از اینرو اعمال ولتاژ بین درین وسورس باعث ایجاد جریان نمی‌شود.	

خازن MOS

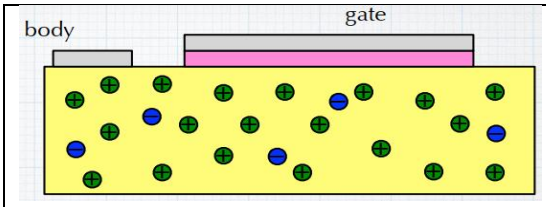
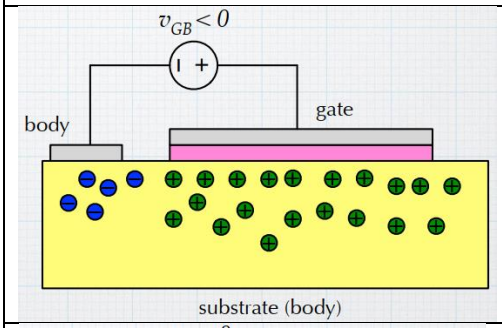
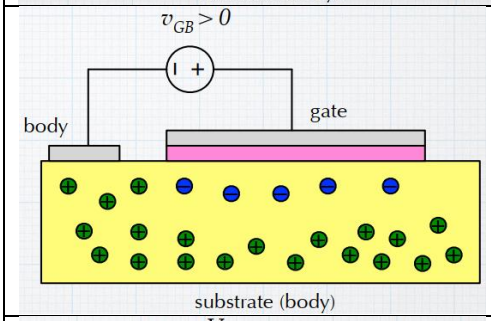
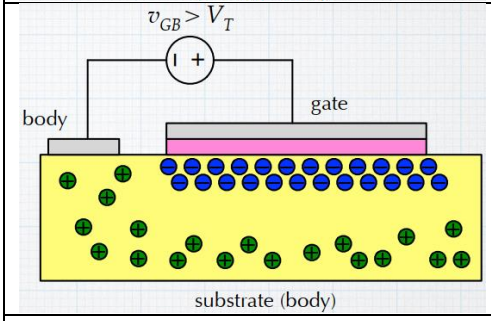
برای بیان نحوه عملکرد ترانزیستورMOS ، ابتدا ساختار آن را بدون ناحیه درین و سورس در نظر می‌گیریم و فرض می‌کنیم این دو ناحیه وجود ندارند.

این ساختار در شکل مقابل نشان داده شده است و به نام خازن MOS مشهور می‌باشد. دو صفحه این خازن را در بالا گیت و در پایین زیرلایه (Substrate) از نوع P تشکیل داده و عایق بین آنها اکسید سیلیکان یعنی SiO_2 می باشد. بنابر این طبق رابطه $C_{ox} = \varepsilon \frac{A}{W}$، که W بر اساس ساختار خازن MOS برابر ضخامت	

اکسید و $W=t_{ox}$ است و نیز ϵ، برابر است با: $\epsilon_{ox} = K_{ox}\,\epsilon_0$ ، در نتیجه داریم (به ازای در واحد سطح یعنی A=1):

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} \quad (F/cm^2) \quad \text{و} \quad \varepsilon_{ox} = 3.9\varepsilon_o = 3.9(8.85\text{x}10^{-12}\text{F/m}),\ K_{ox}=3.9\ ,\ C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} \quad (F/cm^2)$$

خازن C_{ox} خازن اکسید نیز نامیده می‌شود. دقت کنید که مقدار این خازن به صورت واحد درسطح بیان شده است.

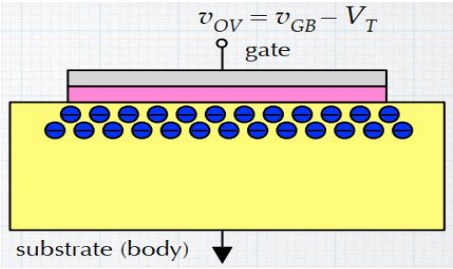
	نیمه‌هادی نوع P دارای تعداد زیادی حفره (با بار مثبت) به عنوان حامل اکثریت و تعدادی الکترون (با بار منفی) به عنوان حامل اقلیت است.
	با اعمال ولتاژی منفی به گیت نسبت به بدنه(body)، حفره‌ها در زیر گیت جمع شده در حالیکه الکترون‌ها به سمت بدنه رانده می شوند. در نتیجه غلظت حفره‌ها در زیر گیت (که ناحیه کانال است) افزایش می‌یابد. به این حالت، حالت انباشتگی (Accumulation) می‌گویند.
	اما با اعمال ولتاژ مثبت به گیت (نسبت به بدنه)، الکترون‌ها در زیر گیت جمع شده و حفره‌ها از زیر گیت رانده می‌شوند. به این حالت که در آن حفره از یک ناحیه رانده و آن را تخلیه می‌کنند حالت تهی (depletion) می‌گویند. هر چه ولتاژ اعمالی را بیشتر و مثبت‌تر کنیم، الکترون‌ها بیشتری در زیر گیت جمع شده و حفره‌ها بیشتری از آن رانده می‌شوند.
	افزایش بیشتر ولتاژ گیت سبب می شود به حالتی بر سیم که تعداد زیادی الکترون در زیر گیت (ناحیه کانال) جمع شده به گونه‌ای که گفته شود این ناحیه از نوع P نبوده و به دلیل تعداد زیاد الکترون با بار منفی، تبدیل به ناحیه‌ای با نوع N شده است. به این حالت، حالت وارونی (inversion) می‌گویند. لایه تشکلیل شده از الکترون‌ها در زیر گیت را لایه وارونی (inversion layer) می‌نامند.

ولتاژ گیت که به ازای آن حالت وارونی رخ می‌دهد ولتاژ آستانه (Threshold Voltage) می‌گویند که در شکل با V_T نشان داده شده است. اما ما برای ترانزیستور nMOS آن را با V_{Tn} و برای ترانزیستور pMOS آن را با V_{Tp} نشان خواهیم داد.

توجه دارید که برای ترانزیستور nMOS ولتاژ آستانه طبق توضیحات فوق مقداری مثبت است و برای ترانزیستور pMOS مقداری منفی می‌باشد.

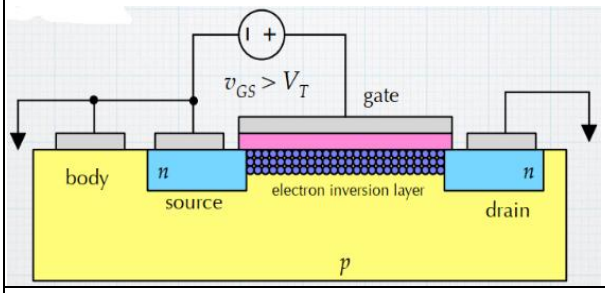
سوالی که ممکن ا ست مطرح شود این ا ست که چه تعداد الکترون در زیر گیت لازم است جمع شود تا حالت وارونی بوجود آید؟

بر اســاس تعریف ولتاژ آســتانه، زمانی $V_{GB}=V_T$ می‌شــود که غلظت الکترون ها در زیر گیت و در لا یه وارونی برابر با غلظت حفره در زیرلایه (substrate) گردد. یعنی n(inversion)=p(substrate).



افزایش بی شتر ولتاژ گیت منجر به انبا شته شدن الکترون‌ها می‌گردد که به ولتاژ بی شتر از ولتاژ آ ستانه Overdrive Voltage می‌گویند و با V_{OV} نشان می‌دهند.

به ساختار ترانزیستور nMOS برمی‌گردیم واز این به بعد لایه وارونی را به عنوان کانال تصور می‌کنیم که الکترون‌ها از طریق آن می‌توانند از سورس به سمت درین جاری شوند. تا اینجا فرض کرده بودیم که $V_{DS}=0$ است. هرچند آن را نشان نداده بویم. در شکل مقابل ملاحظه می‌کنید که $V_D=V_S=0$ بوده و سورس به بدنه نیز وصل است.



با تشکیل لایه وارونی در زیر گیت می‌گوییم ترانزیستور روشن شده است. به بیان ریاضی:

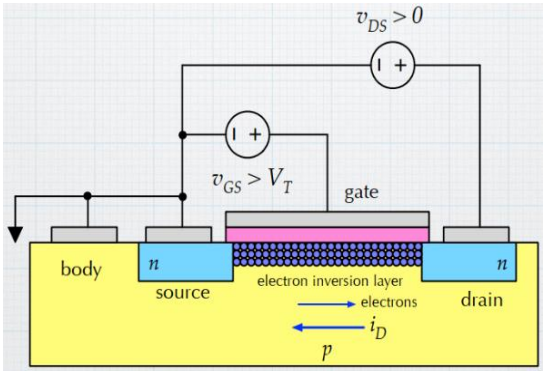
$$V_{GS} < V_{Tn} \quad \text{nMOS=Off,}$$
$$V_{GS} \geq V_{Tn} \quad \text{nMOS=ON}$$

یعنی اگر ولتاژ گیت از ولتاژ آستانه بیشتر یا مساوی با آن باشد ترانزیستور روشن است. برای ترانزیستور pMOS با تغییر پلاریته ولتاژ داریم:

$$V_{SG} < |V_{Tp}| \quad \text{pMOS=Off,}$$
$$V_{SG} \geq |V_{Tp}| \quad \text{pMOS=ON}$$

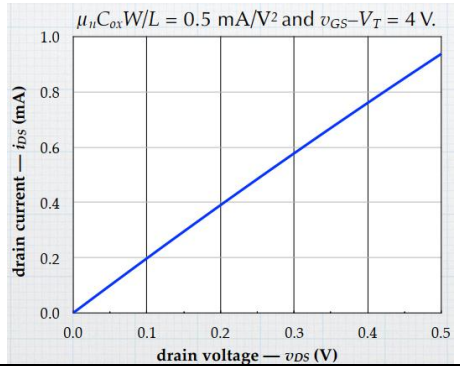
علامت قدرمطلق به این معنا است که ولتاژ آستانه ترانزیستور pMOS منفی می‌باشد و مقدار آن باید در نظر گرفته شود.

با تشکیل لایه وارونی و روشن شده ترانزیستور، حال ولتاژ V_{GS} را ثابت نگه داشته و ولتاژ VDS را تغییر می‌دهیم. به‌ازای $V_{DS}>0$ الکترون‌ها از سورس به سمت درین حرکت کرده و سبب ایجاد جریان در کانال می‌شوند. نکته اول اینکه این جریان یک جریان از نوع جریان رانشی است که در اثر اعمال ولتاژ V_{DS} بوجود آمده است. نکته دیگر اینکه جهت این جریان برخلاف جهت حرکت الکترون‌ها از درین به سمت سورس است. این جریان با i_D در شکل نشان داده شده و به نام جریان درین مشهور است. واضح است که جریان درین وجریان سورس با هم برابر هستند.

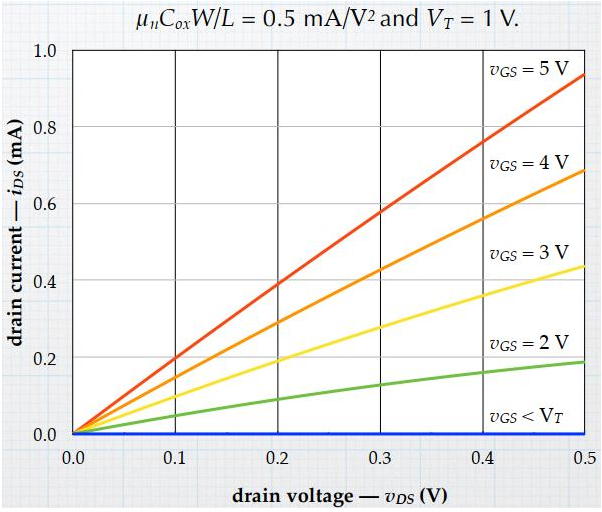


به ازای مقادیر کم V_{DS} و با افزایش آن، جریان درین نیز افزایش می‌یابد و ترانزیستور همانند یک مقاومت عمل می‌کند که مقدار آن از رابطه $R_{DS} = \frac{V_{DS}}{I_D}$ بدست می‌آید. این مقاومت در عمل مجموع سه مقاومت: مقاومت ناحیه سورس، ناحیه کانال و ناحیه درین است. معمولا مقاومت نواحی سورس و درین (ناحیه n) به دلیل غلظت ناخالصی بالا خیلی کم بوده و ازاینرو، $R_{DS}= R_C$ که R_C مقاومت ناحیه کانال است و درنتیجه مقاومت فوق را مقاومت کانال کانال می‌نامند.

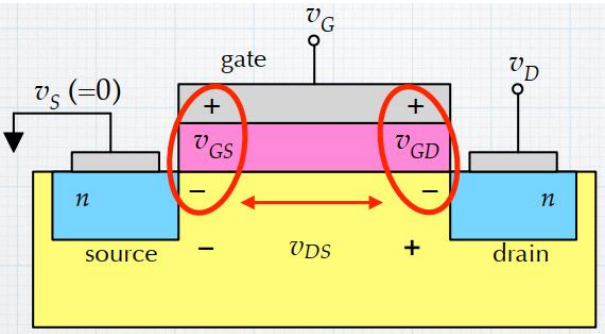
در شکل مقابل، نحوه تغییر جریان درین را برای یک ترانزیستور nMOS به‌ازای مقادیر کم ولتاژ V_{DS} (کمتر از 0.5V) نشان داده شده است. در این ناحیه که ترانزیستور به صورت مقاومت عمل می‌کند به ناحیه اهمی یا ناحیه تریودی مشهور است. شرط لازم برای اینکه ترانزیستور nMOS در ناحیه تریودی یا اهمی کار کند این است که $V_{DS} < V_{OV} = (V_{GS} - V_{Tn})$ باشد. برای ترانزیستور pMOS این شرط عبارتست از: $V_{SD} < (V_{SG} - |V_{Tp}|)$.



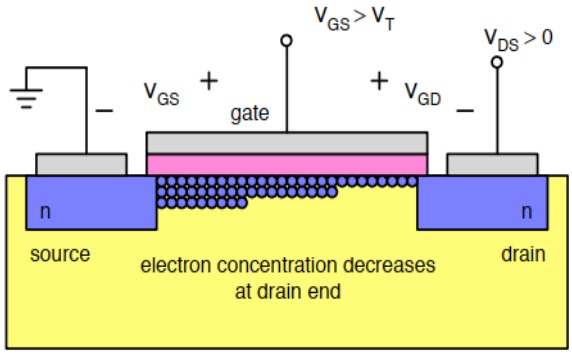
اگر در این تریودی که در آن برای ترانزیستور nMOS داریم: $V_{DS} < V_{OV} = (V_{GS} - V_{Tn})$ ولتاژ V_{GS} را تغییر دهیم همانطور که در شکل مقابل مشاهده می‌کنید شیب منحنی تغییر کرده و مقدار مقاومت تغییر می‌یابد. یعنی مقاومت کانال با V_{GS} تغییر می‌کند.



به حالتی برمی‌گردیم که ولتاژ V_{GS} ثابت و $V_{GS} \geq V_{Tn}$ است و لانه وارونی در زیر گیت وجود دارد. فرض‌مان این است که $V_S=0$ بوده و ولتاژ درین را افزایش می‌دهیم. در این حالت V_{GD} ، اختلاف ولتاژ گیت با درین در حال کاهش است. از این‌رو تعداد الکترون‌ها در ناحیه درین در حال کاهش خواهد بود. اما در ناحیه سورس به دلیل ثابت بودن ولتاژ V_{GS} تعداد الکترون‌ها ثابت باقی می‌ماند. همینطور توجه دارید که در سورس ولتاژ برابر با صفر ولت و در ناحیه درین برابر با V_D است. یعنی در کانال ولتاژ از 0 تا V_D تغییر می‌کند.



در شکل مقابل به صورت نمادین مشاهده می‌کنید که تعداد الکترون‌ها در قسمت درین کمتر می‌باشد. این کاهش تعداد الکترون‌ها سبب می‌شود که رابطه خطی (قانون اهم در ناحیه تریودی یا ناحیه اهمی) به تدریج صادق نبوده و مقدار جریان به سمت مقداری ثابت سوق داده شود

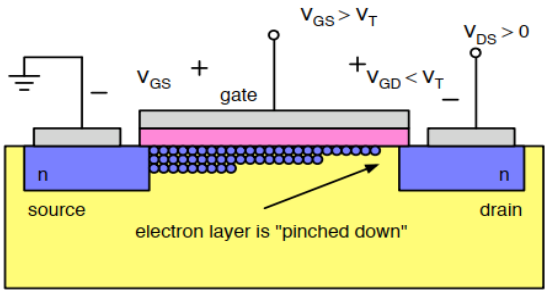


می‌توان نشان داد که در ناحیه تریودی جریان درین برای ترانزیستور nMOS از رابطه زیر بدست می‌آید:

$$I_D = \mu_n C_{ox} \frac{W}{L}\left[(V_{GS} - V_{Tn})V_{DS} - \left(\frac{1}{2}V_{DS}^2\right)\right]$$

این رابطه برای ترانزیستور pMOS عبارتست از: $I_D = \mu_p C_{ox} \frac{W}{L}\left[(V_{SG} - |V_{Tp}|)V_{SD} - \left(\frac{1}{2}V_{SD}^2\right)\right]$. در این دو رابطه μ_n موبیلیتی الکترون، μ_p موبیلیتی حفره، W پهنای کانال و L طول کانال است. در مواردی ضریب K_n به صورت $K_n = \mu_n C_{ox} \frac{W}{L}$ برای ترانزیستور nMOS و ضریب K_p به صورت $K_P = \mu_p C_{ox} \frac{W}{L}$ برای ترانزیستور pMOS تعریف می‌شود.

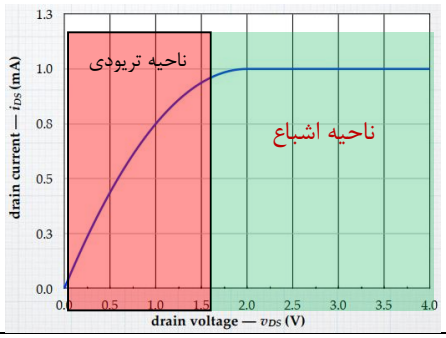
افزایش بیشتر ولتاژ V_{DS} منجر به تخلیه کامل لایه وارونی از الکترون‌ها در ناحیه درین می‌شود. همانطور که در شکل مقابل مشاهده می‌کنید به این تخلیه شدن ناحیه درین از الکترون‌ها حالت Pinch-off می‌گویند. هرچه ولتاژ V_{DS} بیشتر افزایش یابد نقطه تخلیه شده یا Pinch-off بیشتر به سمت سورس حرکت می‌کند. در نگاه اول فعلا فرض می‌کنیم طول ناحیه تخلیه شده از الکترون در مقایسه با طول کانال بسیار کم می‌باشد.



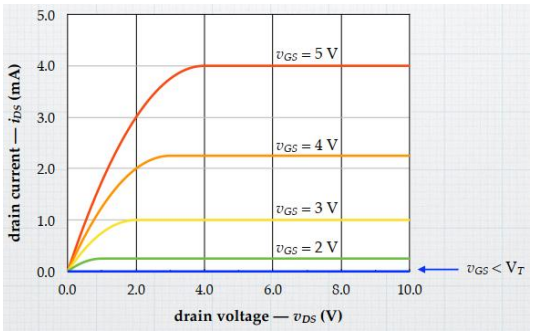
با رخ دادن حالت Pinch-off در ناحیه درین، جریان درین با افزایش ولتاژ V_{DS} تغییر نکرده و ثابت می‌ماند. از این‌رو بیان می‌شود که ترانزیستور وارد ناحیه اشباع شده است. این حالت در زمانی رخ می‌دهد که $V_{DS} \geq V_{OV} = (V_{GS} - V_{Tn})$ می‌باشد.

برای ترانزیستور pMOS نیز این شرط به این صورت است که $V_{SD} \geq V_{OV} = (V_{SG} - |V_{Tp}|)$ باشد. می‌توان نشان داد که در ناحیه اشباع، جریان درین ترانزیستور nMOS از رابطه $I_D = \frac{1}{2} K_n (V_{GS} - V_{Tn})^2$ و برای ترانزیستور pMOS نیز از رابطه $I_D = \frac{1}{2} K_p (V_{SG} - |V_{Tp}|)^2$ بدست می‌آید. این روابط بیانگر مستقل بودن جریان درین از V_{DS} در ناحیه اشباع است.

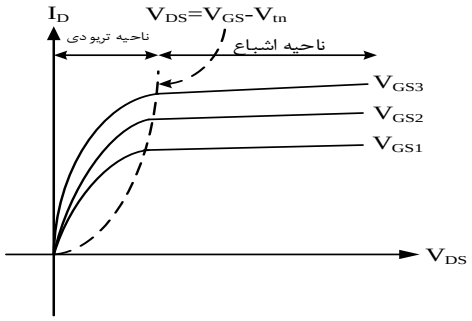
در شکل مقابل دو ناحیه کاری ترانزیستور در زمانی که روشن است نشان داده شده است. در ناحیه تریودی، ترانزیستور به عنوان مقاومت کنترل شده با ولتاژ مورد استفاده قرار می‌گیرد و ناحیه اشباع، ناحیه‌ایی است که ترانزیستور به صورت تقویت‌کننده عمل کرده و به عنوان یک عنصر خطی مدنظر خواهد بود. البته دقت دارید که مرز دو ناحیه $V_{DS} = V_{GS} - V_{Tn}$ است. برای ترانزیستور pMOS این مرز عبارتست از: $V_{SD} = V_{SG} - |V_{Tp}|$.



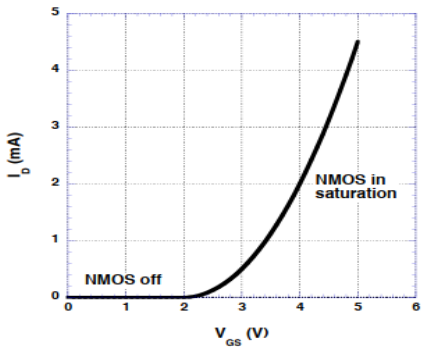
اگر ولتاژ V_{GS} را تغییر دهیم منجر به تغییر جریان درین می‌شود که در شکل مقابل منحنی مشخصه خروجی ترانزیستور nMOS نشان داده شده است. توجه دارید که به ازای $V_{GS} < V_{Tn}$ ترانزیستور خاموش و جریان درین برابر با صفر است. در شکل این حالت مشخص شده است.



گفته شد که مرز ناحیه اشباع و ناحیه تریودی $V_{DS} = V_{GS} - V_{Tn}$ است که اگر در صفحه منحنی مشخصه رسم کنیم به صورت یک منحنی خواهد بود که در شکل مقابل ملاحظه می‌کنید.

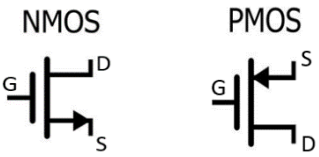
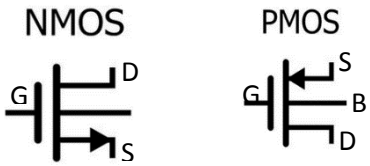
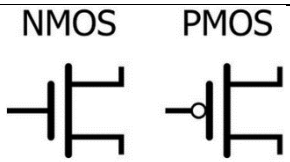


با توجه به روابط بیان شده برای جریان درین ترانزیستور، در صورتی که ولتاژ V_{DS} را ثابت و ولتاژ V_{GS} را تغییر دهیم منحنی شکل مقابل برای جریان درین بدست می‌آید. از این منحنی می‌توان استفاده کرده و پارامترهای K_n و V_{Tn} را بدست آورد. برای این منظور با توجه به رابطه $I_D = \frac{1}{2} K_n (V_{GS} - V_{Tn})^2$ برای جریان درین در ناحیه اشباع و رسم شیب منحنی به صورت خط، به ازای $I_D=0$، V_{Tn} بدست می‌آید. همچنین از شیب این منحنی در ناحیه اشباع مقدار K_n را بدست آورد. دقت داشته باشید که واحد Kn برابر $\frac{A}{V^2}$ می‌باشد.

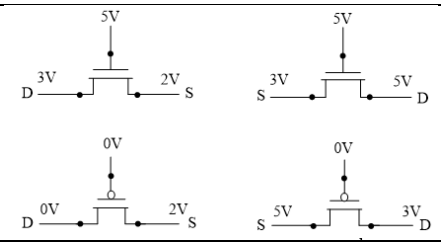


علامت مداری ترانزیستور MOSFET

برای ترانزیستور MOSFET علایم مداری مختلفی وجود دارد که تعدادی از آنها در زیر آمده است.

این دو نماد بیشتر در مدارات آنالوگ مورد استفاده قرار می‌گیرند. علامت پیکان در روی پایه سورس می‌باشد و بیانگر جهت جریان درین است. طبق شکل جهت جریان از بالا به پایین است.	
در این نوع علامت مداری پایه بدنه (Bolk یا Body) نیز در نظر گرفته می‌شود. این در مواردی است که سورس و بدنه به همدیگر وصل نباشند.	
علامت برای مواردی که سورس و بدنه به همدیگر وصل باشند.	
این علامت مداری در مدارات دیجیتالی مورد استفاده قرار می‌گیرد. دلیل استفاده از این علامت این است که در مدارات دیجیتال سیگنال های فقط دو سطح High و LOW مقدار دارند و در ترانزیستور MOSFET به دلیل تقارن می‌توان جای درین و سورس را عوض کرد.	

توجه داشته باشید که در ترانزیستور nMOS بین پایه درین و پایه سورس، پایه‌ای از ترانزیستور پایه درین است که ولتاژ بیشتر دارد. در ترانزیستور pMOS پایه‌ی با ولتاژ بیشتر سورس است.

مثال) در شکل مقابل مثالی از نحوه مشخص کردن پایه‌های درین و سورس ترانزیستور های nMOS و pMOS نشان داده شده است.	

عوامل تاثیرگذار بر جریان درین

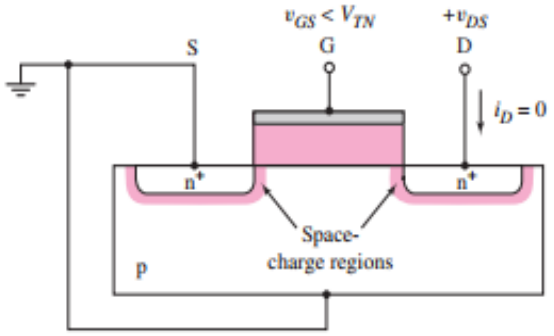
با توجه به روابط بدست آمده برای جریان درین در ناحیه اشباع و ناحیه تریودی، این جریان تابعی از عوامل زیر است:

- ✓ طول کانال(L)
- ✓ پهنای کانال(W)
- ✓ ولتاژ آستانه (V_{Tn})
- ✓ قابلیت تحرک حامل (μ_n یا μ_p)
- ✓ ضخامت عایق (اکسید)، t_{ox}
- ✓ نوع ماده عایق (به دلیل مقدار قابلیت نفوذ مغناطیسی، ϵ)

در اینجا تاثیر طول کانال و اثر تغییر ولتاژ آستانه را به اختصار بررسی می‌کنیم.

مدولاسیون طول کانال

جریان درین نسبت عکس با طول کانال دارد. یعنی بر اساس معادلات جریان درین در ناحیه اشباع، به‌ازای V_{GS} ثابت، با کاهش طول کانال، جریان افزایش می‌یابد. این موضوع در زمانی که ترانزیستور در ناحیه اشباع کار می‌کند سبب می‌شود که در اثر افزایش V_{DS} جریان درین افزایش یابد. دلیل افزایش جریان درین در اثر افزایش V_{DS}، کاهش طول مؤثر کانال می‌باشد. در واقع، با افزایش ولتاژ درین، پهنای ناحیه تهی در درین افزایش یافته و از طول مؤثر کانال کاسته می‌شود. در شکل مقابل ناحیه موجود در ناحیه درین و سورس در حالتی‌که ترانزیستور خامو ش است نشان داده شده است تا بهتر مشخص شود.



پس از اینکه ترانزیستور وارد ناحیه اشباع شد، با افزایش ولتاژ درین ضمن افزایش ناحیه تهی در درین، لایه وارونی نیز در درین از بین رفته و نقطه pinch-off به سمت سورس حرکت می‌کند و در نتیجه طول موثر کانال کاسته شده و منجر به افزایش جریان درین می‌شود. یعنی جریان درین تابعی از ولتاژ درین-سورس(V_{DS}) می‌گردد. این پدیده، مدولاسیون طول کانال نامیده می‌شود.

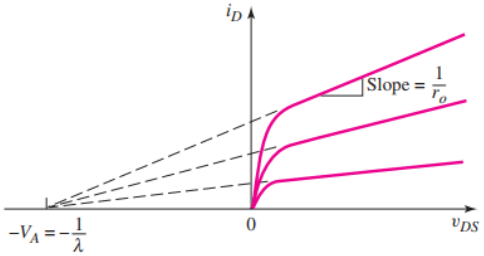
برای اینکه تاثیر ولتاژ V_{DS} در تغییر جریان درین در نظر گرفته شود، به معادله جریان درین در ناحیه اشباع جمله‌ای به صورت زیر اضافه می‌شود:

$$I_D = \frac{K_n}{2}(V_{GS} - V_t)^2 (1 + \lambda V_{DS})$$

در این معادله λ را ضریب مدولاسیون طول کانال می‌نامند و واحد آن V^{-1} می‌باشد. این ضریب، بیانگر تاثیر V_{DS} بر جریان درین می‌باشد.

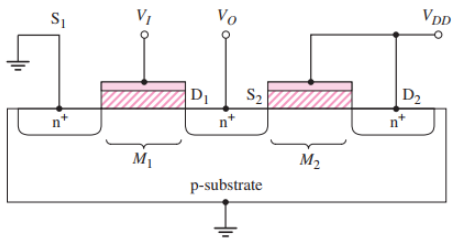
شکل مقابل تاثیر مدولاسیون کانال را بر منحنی مشخصه ترانزیستور MOSFET نشان می‌دهد. ادامه منحنی‌ها در یک نقطه در روی محور VDS به همدیگر می‌رسند که به نام ولتاژ ارلی مشهور است. رابطه این ولتاژ با ضریب مدولاسیون طول کانال به صورت زیر است.

$$V_A = \frac{1}{\lambda}$$



اثر بدنه (Body Effect)

در ترانزیستور MOSFET که تا حال بررسی کردیم به‌طور ضمنی فرض کرده بودیم که پایه سورس و پایه بدنه آن دارای ولتاژ یکسان هستند. اما همانطور که در شکل مقابل نشان داده شده است مواردی رخ می‌دهد که اینگونه نمی‌باشد. در این شکل پایه بدنه ترانزیستور M_2 از پایین به زمین وصل می‌باشد در حالیکه پایه سورس آن به



عنوان گره خروجی(V_O) در نظر گرفته شده است و ولتاژ آن احتمال دارد که برابر با صفر نباشد. البته ترانزیستور M_1 این مشکل را ندارد.

عدم یکسانی ولتاژ پایه‌های سورس و بدنه سبب می‌شود که ولتاژ آستانه مورد نیاز برای روشن شدن ترانزیستور نسبت به زمانی که ولتاژ این دو پایه یکسان است بیشتر باشد. این پدیده اثر بدنه نامیده می‌شود.

اگر مقدار ولتاژ آستانه را برای ترانزیستور nMOS در حالتی‌که ولتاژ پایه سورس با ولتاژ پایه بدنه یکسان است ($V_S = V_B$) با V_{Tn0} نشان دهیم، ولتاژ آستانه در حالت $V_S \neq V_B$ از رابطه زیر بدست می‌آید.

$$V_{Tn} = V_{Tn0} + \gamma\left[\sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f}\right]$$

که γ ضریب اثر بدنه (Body effect parameter) نامیده می‌شود و واحد آن $V^{1/2}$ است. ϕ_f نیز پتانسیل فرمی نامیده می‌شود و در حد $0.35V$ است.

مقامت کانال ترانزیستور MOSFET

قبلا بیان شد که در ناحیه تریودی ترانزیستور MOSFET به صورت یک مقاومت کنترل شده با ولتاژ عمل می‌کند که مقدار مقاومت تقریبا برابر با مقاومت کانال است. در ناحیه تریودی برای جریان درین داریم:

$$I_D = \mu_n C_{ox}\frac{W}{L}\left[(V_{GS} - V_{Tn})V_{DS} - \left(\frac{1}{2}V_{DS}^2\right)\right]$$

از طرفی در ناحیه تریودی ولتاژ V_{DS} دارای مقداری کم می‌باشد. از این‌رو می‌توان رابطه فوق را به صورت زیر تقریب زد:

$$I_D = \mu_n C_{ox}\frac{W}{L}\left[(V_{GS} - V_{Tn})V_{DS}\right]$$

در نتیجه برای مقاومت کانال ترانزیستور nMOS با توجه به

$$R_n = \frac{V_{DS}}{I_D}$$

نوشت:

$$R_n = \frac{1}{\mu_n C_{ox}\frac{W}{L}(V_{GS} - V_{Tn})}$$

به‌طور مشابه برای ترانزیستور pMOS، مقاومت کانال خواهد شد:

$$R_p = \frac{1}{\mu_p C_{ox}\frac{W}{L}(V_{SG} - |V_{Tp}|)}$$